

CMT221x/5x单接收芯片原理图及PCB版图设计指南

1. 概要

本应用文档为使用 CMOSTEK NextGenRF™ 系列单接收芯片进行产品开发的用户提供基本的原理图和 PCB 版图设计指南，以期望帮助用户快速实现应用所需要的性能指标：如改善灵敏度，降低功耗和系统成本，提高抗干扰能力等。

本文档涵盖的产品型号如下表所示。

表 1. 本文档涵盖的产品型号

产品型号	工作频率 (MHz)	调制方式	主要功能	配置方式	封装
CMT2210A	300-480	OOK	直通单收	EEPROM	QFN16/SOP16
CMT2210L	315/433.92	OOK	直通单收	--	SOP8
CMT2219A	300 - 960	(G)FSK/OOK	FIFO / 直通单收	EEPROM / Registers	QFN16/SOP16
CMT2250A	300 - 480	OOK	4 路输出带解码接收	EEPROM	QFN16/SOP16
CMT2251A	300 - 480	OOK	1 路 PWM 输出带解码接收	EEPROM	QFN16
CMT2257A	300 - 960	(G)FSK/OOK	4 路输出带解码接收	EEPROM	QFN16

本文将从以下几个方面来阐述使用 CMOSTEK NextGenRF™ 系列单接收芯片的注意事项：

- 射频输入设计
- VCO 电感设计
- 抗 ESD 设计
- 晶体电路设计
- 数字信号设计
- 电源及地设计
- 灵敏度优化考虑
- ETSI 与 FCC 优化设计
- 功耗优化考虑
- 测试电路设计
- 设计检查项

目录

1. 概要	1
2. 射频输入匹配	3
3. VCO 电感设计	6
4. 抗 ESD 设计	7
5. 晶体电路设计	8
6. 数字信号设计	9
7. 电源及地设计	10
7.1 电源滤波电路设计	10
7.2 铺地设计	10
8. 灵敏度优化考虑	11
9. ETSI 与 FCC 优化设计	14
10. 功耗优化考虑	16
11. 测试电路设计	17
12. 设计检查项	18
13. 参考设计	20
14. 文档变更记录	21
15. 联系方式	22

2. 射频输入匹配

匹配网络通过将天线的阻抗匹配值芯片射频输入阻抗，达到提高接收灵敏度的设计目标。

CMOSTEK NextGenRF™ 单接收产品采用的是单端 LNA 输入，仅需要一个电容和一个电感就能将实现匹配功能。根据不同的封装形式，不同的频段，用户可以采用不同元件值进行匹配。如下图所示。

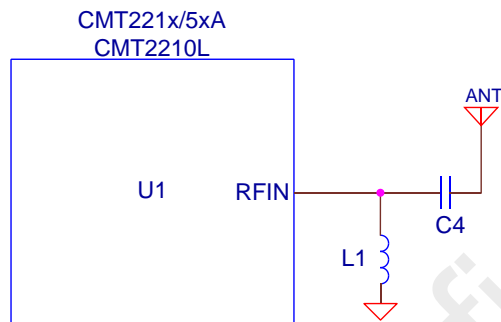


图 1. CMT221x/5xA 射频输入匹配网络

说明如下：

1. 上图暂不涉及射频匹配网络以外的其他电路。
2. 不同封装，不同频点，不同天线阻抗的匹配值如下表所示，其中：
 - a) L1 规格为：±5%，0603 叠层片状电感；
 - b) C4 规格为：±0.25 pF，0402 NP0，50 V；
 - c) 除了标准 50 Ω 天线以外，下表还给出天线兼容性更强的匹配，如推荐匹配栏所示。

表 2. 单接收匹配网络元件值

产品型号	封装	频段 (MHz)	50 Ω 天线匹配		推荐匹配 (高阻抗天线)	
			L1 (nH)	C4 (pF)	L1 (nH)	C4 (pF)
CMT221xA	QFN16	315	33	5.6	68	4.3
		433	27	3.3	33	2.7
CMT225xA	SOP16	868	6.8	2.7	6.8	2.7
		915	6.2	2.7	6.2	2.7
CMT2210L	SOP8	315	33	5.6	68	4.3
		433	27	3.3	33	2.7

不同频点下射频输入等效阻抗如下表所示。

表 3. 输入等效阻抗

频率 (MHz)	RFIN 管脚输入等效阻抗	
	Z_{RFIN}	$R_{RFIN} // C_{RFIN}$
315	$120 - j*98$	$200 \Omega // 2.0 \text{ pF}$
433.92	$79 - j*106$	$220 \Omega // 2.2 \text{ pF}$
868	$43 - j*45$	$90 \Omega // 2.1 \text{ pF}$
915	$41 - j*45$	$90 \Omega // 2.1 \text{ pF}$

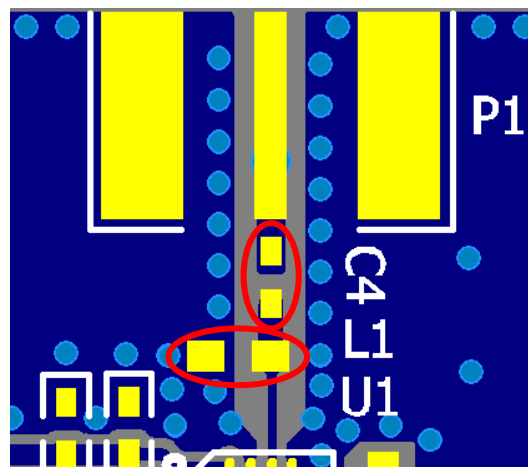


图 2. 匹配网络的版图设计参考

上图给出单接收产品匹配网络的版图设计参考，基于 CMT221xA-EM 的版图设计。其中：

1. 保持射频信号路径尽量短，以减小信号能量传输带来的损失。
2. 将 L1 和 C4 尽量靠近摆放，并且尽量靠近射频输入端口。
3. L1 的摆放位置要尽量远离 VCO 电感，且保持电感 Pad 方向与之垂直，以减小 VCO 电感储存的能力通过天线辐射出去。
4. 芯片的射频输入端阻抗较高，靠近射频输入端的传输线用较窄线宽，上图参考设计中用的是 0.2 mm 线宽；L1 和天线接口（P1）之间的传输线用的是 1 mm 宽的传输线，用以匹配 50Ω 阻抗的天线。
5. 尽量不要在射频器件及走线上布丝印，厚重的丝印会影响 PCB 的介电常数和射频输出阻抗。
6. 铺地和射频走线应该尽量平整，以减小传输线上的阻抗波动。
7. 1/4 波长 ($\lambda/4$) 的单极子天线是一种很常用的天线。它其实就是偶极子天线，一半由一个 1/4 波长的天线组成，另一半由虚的 1/4 波长天线的地平面组成。所以，对于单极子天线的设计而言，性能的好坏取决于铺地的面积。考虑不同的成本，性能，上市时间等因素，用户可以选择不同类型的单极子天线，比如说 PCB 天线，芯片天线，胶棒天线，导线天线等。在本参考设

计中，P1 是一个连接天线用的 SMA 连接器，连接器连接的是一个阻抗为 50 Ω 的胶棒天线，以使参考设计达到最佳性能。

CMOSTEK Confidential

3. VCO 电感设计

单接收芯片采用的是 VCO 片外电感的设计，有效的降低系统功耗，根据不同的频率和封装和性能要求，用户可以采用不同类型和电感值的电感，如下表所示。

表 4. VCO 电感值

工作频率	315MHz	433.92MHz	868.35MHz	915MHz
QFN16 封装的 VCO 电感值(nH)	36 nH±10%	18 nH±10%	3.9 nH±5%	3.6 nH±5%
SOP16 封装的 VCO 电感值(nH)	27nH±10%	15 nH±10%	1 nH±5%	0
SOP8 封装的 VCO 电感值(nH)	33 nH±10%	15 nH±10%	--	--

原理图和版图设计注意事项：

1. L2 的规格为： $\pm 5\%$ (868 / 915 MHz)或 $\pm 10\%$ (315 / 434 MHz)，0603 叠层片状电感。若要考虑减小 VCO 电感环路向外的辐射，可以考虑用高 Q 值电感，比如绕线电感等。
2. 当电感值为 0 时（SOP16 / 915 MHz），直接在片外将芯片管脚 VCOP 和 VCON 短接即可。
3. 以上数据是基于 CMT221xA-EM 的板子测得，以此为参考基准，L2 每远离 1 mm，环路形成的寄生电感约增加 1.2 nH（FR4 板材，2 条走线，0.3 mm 走线，反之亦然）则选取的 VCO 电感值应该做相应修调。值得注意的是走线越长，环路越大，VCO 谐振环路向外辐射的能量也越大，有可能会影响辐射测试的通过，所以建议将 L2 摆放位置要尽量靠近接收芯片。
4. 严格保持 L2 版图上关于芯片管脚 VCOP 和 VCON 对称。
5. L2 周围要尽量用完整的铺地围绕，包括四周及背面都要铺地，且用尽量密集的过孔将周围及背面的地连接起来。
6. 单接收芯片为 ESD 敏感器件，特别是 VCOP 和 VCON 管脚，在机贴或者手焊的过程中都需要严格做好 ESD 防护措施，以免造成不可逆转的器件损伤。
 - a) 手工操作时佩戴防静电手环（有绳式）；
 - b) 电烙铁等接触芯片的设备良好接地。

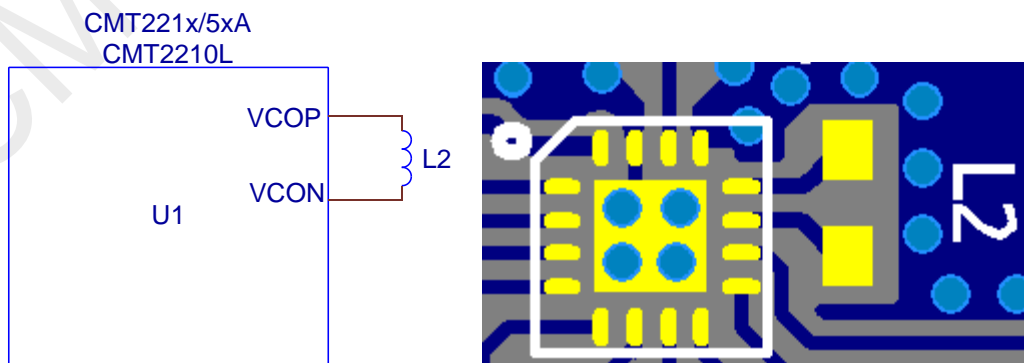


图 3. CMT221x/5xA VCO 电感的原理图和版图设计参考

4. 抗 ESD 设计

使用 CMOSTEK 的 CMT22xx 系列芯片，特别在手持式设备中，由于人体直接接触，特别是连接 VCO 电感的两个 PAD (VCOP、VCON)，由于工作频率高，抗 ESD 特性比其他管脚弱一些，为了防止这两个 PAD 及其他 PAD 的 ESD 损坏，产品设计要注意以下几点：

- 1) 推荐采用多层板设计，如双面板、4 层板，有利于提高抗 ESD 的能力。
- 2) 如图 3 中的 L2 (VCO 电感) 最好采用 0402 等高度比较薄的元件，以降低人手在开发生产的过程接触导致 ESD 损坏的概率。
- 3) 在做工程样品时，最好先焊好 L2，对 QFN 封装没有这要求，对 SOP 封装的系列时先焊 GND PAD，主要由于增加分布电容，从而提高芯片抗 ESD 的能力。
- 4) L2 的摆放位置尽量 PCB 的中心，避免放在板边，以降低人手在开发生产的过程接触导致 ESD 损坏的概率。
- 5) 其他 PCB 的抗 ESD 设计要求，请参阅 AN121 CMT21xx 在手持设备中的设计指南。

5. 晶体电路设计

本文所描述的接收芯片采用双端晶体电路，具有起振快，抗干扰性强等优点。推荐晶体规格如下：

表 5. 晶体振荡器规格

参数	符号	条件	最小	典型	最大	单位
晶体频率 ^[1]	F _{XTAL}	CMT221x/5xA		26		MHz
		CMT2210L 工作在 433.92MHz		26		MHz
		CMT2210L 工作在 315 MHz		18.8744		MHz
晶体频率精度 ^[2]				±20		ppm
负载电容	C _{LOAD}		12	15	20	pF
晶体等效电阻	R _m				60	Ω
晶体起振时间 ^[3]	t _{XTAL}			400		us

备注:

[1]. CMT221x/5xA 支持用外部 26 MHz 频率直接驱动 XIN 管脚（需要串接一个耦合电容），峰峰值幅度要求 0.3 到 0.7V 之间。

[2]. 此处指所有的频率精度容差，包括 (1) 初始容差；(2) 晶体负载；(3) 老化；和 (4) 温度变化。可接受的晶体容差取决于射频频率以及信道间隔、带宽设置等因素。

[3]. 此参数与所用晶体有很大关系。

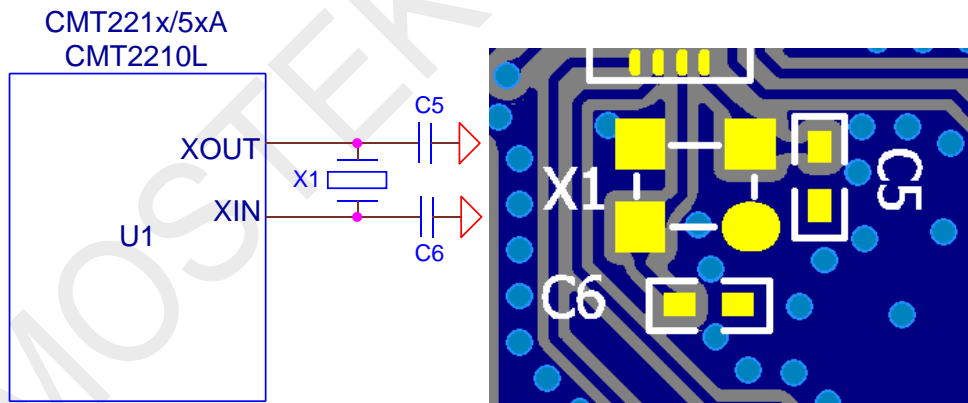


图 4. 晶体电路的原理图（左）及版图（右）设计

设计注意事项：

1. 晶体应该尽量靠近接收芯片管脚 XIN 和 XOUT 位置摆放，减少走线长度。这样做能有效降低受干扰和干扰其他电路的可能，同时减少了分布电容。
2. 晶体应尽可能远离数字信号等强信号走线，并在其周围尽可能多铺地。以防止受到数字大信号的干扰而改变静态工作点从而影响时钟占空比。
3. 晶体的金属外壳需要接地（比如说 49S 插件晶体，或者柱晶等）。
4. 考虑到 PCB 板上的寄生电容，C5，C6 的选用值一般比晶体所需负载电容值稍小一点。

6. 数字信号设计

数字信号走线，包括 DOUT 以及各个 GOIO 的连接注意事项如下：

1. 数字信号走线应尽量远离 RF，VCO 和晶体走线。
2. 数字信号应尽可能用铺地围起来，以减少相互串扰。
3. 下图中的 R2 为内部工程评估使用，在实际应用中可以去掉。

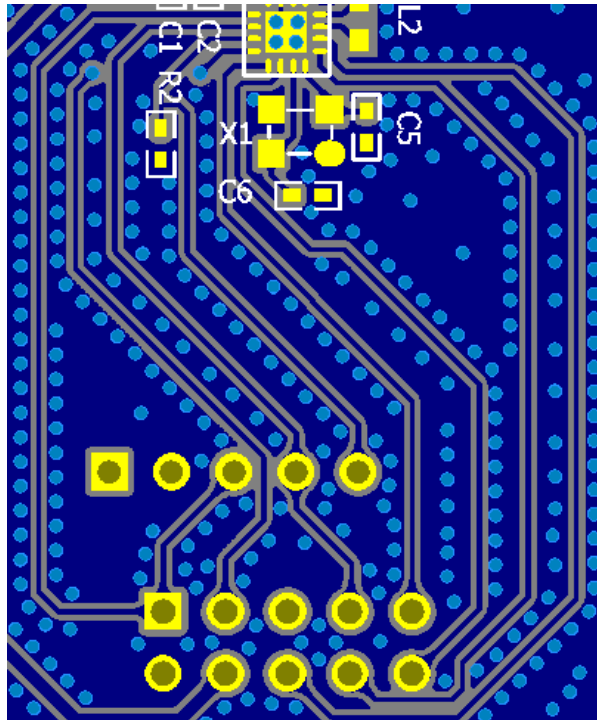


图 5. 数字信号的版图设计

7. 电源及地设计

7.1 电源滤波电路设计

为了减轻电源上的噪声和纹波对芯片的影响，用户应当在芯片紧靠 VDD 管脚处加滤波电容，如下图中 C1 和 C2 所示。

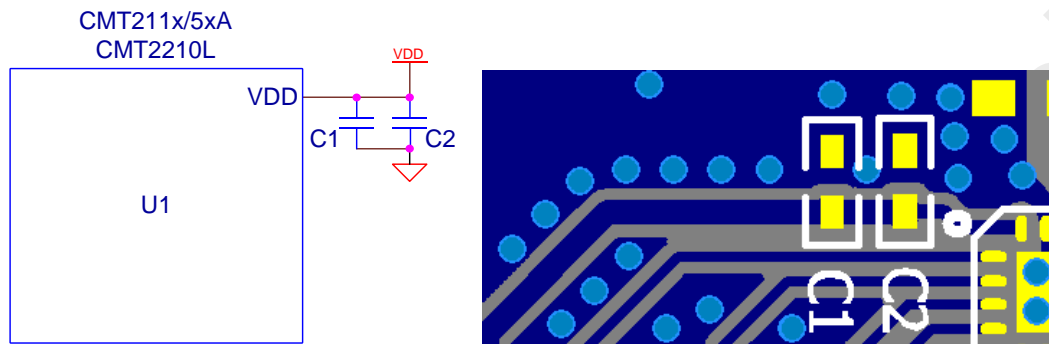


图 6. VDD 滤波电容原理图（左）及版图（右）设计

7.2 铺地设计

铺地需要注意的事项：

1. 尽量用大片的连续地做铺地设计。
2. 地线的走线应尽量使电流的回流到 VDD 的路径回路最小，从而减少从供电环路上向外部空间的辐射。
3. 芯片正下方尽量多铺地，以减小对射频输出传输线阻抗连续性的影响。
4. PCB 边沿尽量多排列间隔不超过 $M10$ 的过孔，以减小 PCB 边沿的高次谐波辐射。

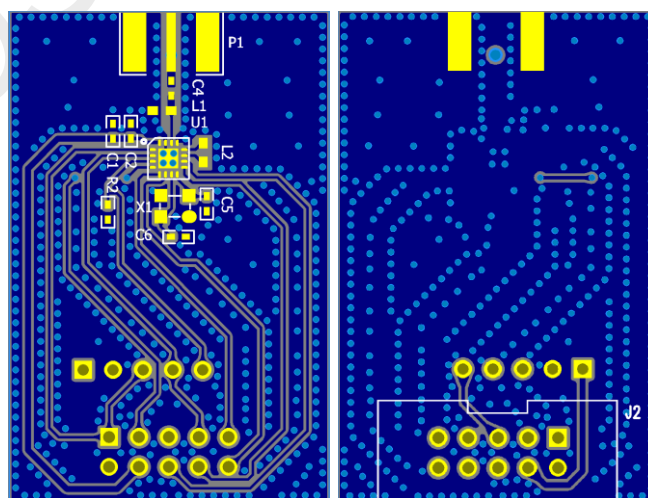


图 7. 铺地

8. 灵敏度优化考虑

单接收芯片的灵敏度可以从以下几个方面去考虑优化。

1. 匹配网络并未达到最佳。第 2 章中推荐的匹配网络可以做为用户设计的参考起点。然后，在实际设计中，如果要进一步优化灵敏度，则需要关注射频天线可能随着其摆放位置、扭曲程度、尺寸不足或过长、外壳的材料甚至是手握的部位等因素所带来的影响。用户需要根据这些变化对匹配参数做修调，以达到最佳接收效果。

2. 天线长度不足

a) 理论上， $1/4$ 波长天线长度随工作频率的对照如下表所示。

表 6. 波长与频率的关系

工作频率 (MHz)	λ (cm)	$\lambda/4$ (cm)
915	32.8	8.2
868	34.5	8.6
433.92	69.2	17.3
315	95.2	23.8

b) 当天线长度不足的时候，天线阻抗随之而产生了变化。用户在产品设计之初，最好在 L1 和 C4 以外再添加一个可选的 L3，从而补偿天线平放时容性特点。然后根据调试结果决定 L3 的大小，以加快产品推向市场的时间。如下图所示。

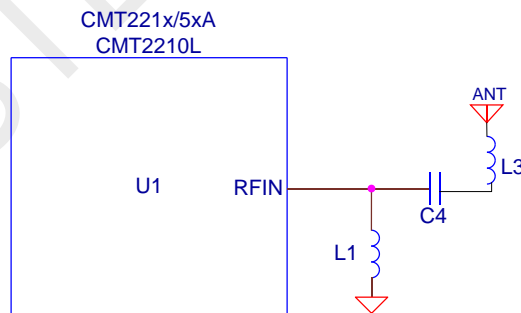


图 8. 加感天线匹配

3. 接收带宽调节

a) CMT221x/5xA 支持接收带宽可调，范围是从 50 kHz 到 500 kHz。当发射机及接收机的频率对得比较准，并且数据率（当 FSK 时还要考虑频偏）设置比较合适时，可以选择更窄的接收带宽，从而提高了灵敏度。在 RFPDK 上，接收带宽根据频率，晶体容差，数据率及频偏自动算出。用户可以考虑修改这些参数以获取更小的接收带宽。如下图所示。

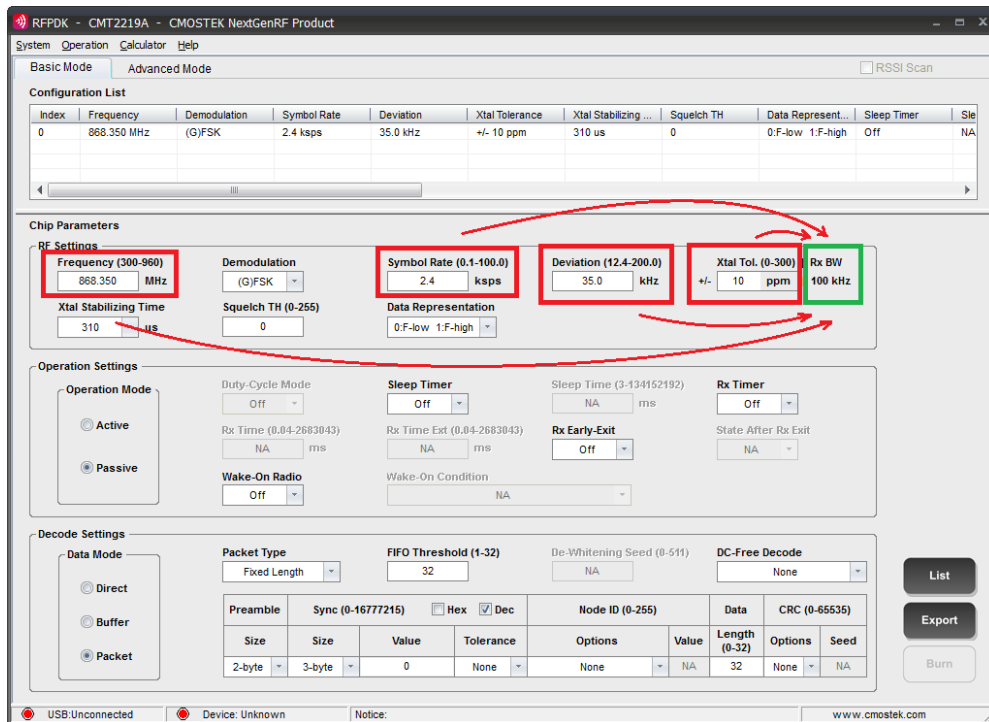


图 9. 影响接收带宽的参数设置

4. 频率，数据率，数据包长度的影响

- a) 频率：一般来说，频率越低，传输距离越远。比如说 315 MHz 的信号传输距离应该比 915 MHz 的远；另一方面，由于使用 315 MHz 的应用比较多，相互之间的干扰也比较大，而 915 MHz 的应用比较少，干扰小，导致时间传输距离反而远。如有可能，选用不常见的频点使用能达到更好的收发距离；
- b) 数据率：同样频率的情况下，数据率越高，灵敏度越低，如下图所示。所以用户可以考虑用低数据率来换取高灵敏度。

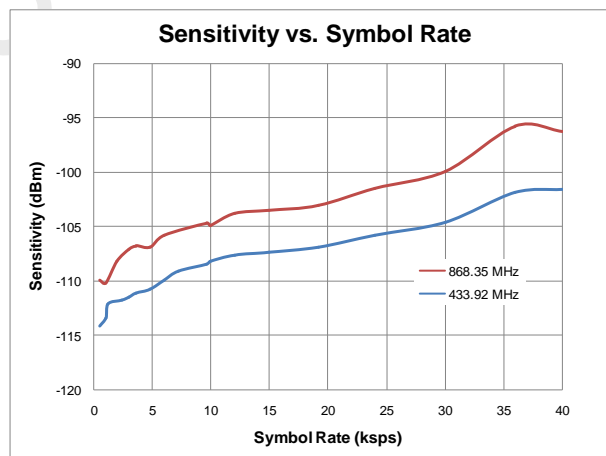


图 10. 灵敏度随数据率的变化规律

另外，单接收芯片灵敏度与数据率偏差也有关系，当实际发射的数据率和接收芯片设置的数据率偏差比较大时，也会影响接收灵敏度。

- c) 数据包长度：同样的频率和数据率条件下，数据包长度越长，接收时出错的概率越高，使得芯片越不容易接收到正确的包。所以在条件允许的情况下，让数据包长度尽量短。

另外，在 OOK 解调的条件下，当传输数据出现长零（连续多个零）的情况下，接收机也可能会出现解码错误的情况。所以传输数据尽量避免长零的存在。

CMOSTEK Confidential

9. ETSI 与 FCC 优化设计

本文描述的单接收芯片 VCO 电感采用外置方式，为了有效降低 VCO 辐射能量，以顺利通过安规测试，用户可以通过以下方式进行优化：

1. VCO 电感从叠层电感换成绕线电感。
2. 采用多层板设计，如双面板。不推荐单面板用于需要通过安规测试的产品中。
3. 使用 QFN 封装的芯片，不推荐用其他封装的芯片用于需要通过安规测试的产品中。
4. VCO 电感尽量用小尺寸的电感，比如说 0402 的电感就比同类型的 0603 的电感辐射小。
5. 减小从天线辐射出去的能量：
 - a) LNA 匹配网络的电感在版图上尽量远离 VCO 电感，以减少互感，如下图所示：

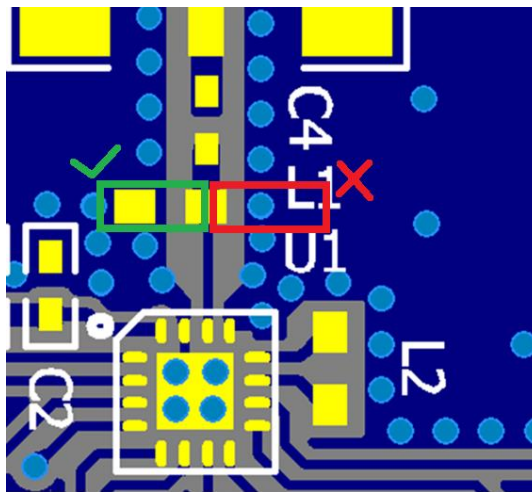


图 11. LNA 匹配电感的摆放方向

- b) 在 LNA 匹配网络上加一个带通滤波器，以滤除从射频输入路径上感应到 VCO 辐射能量。

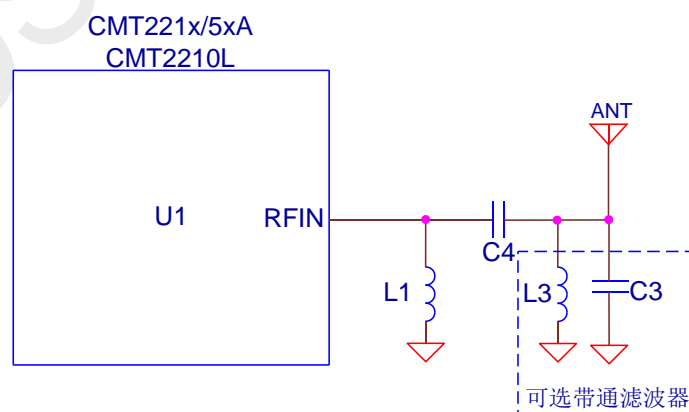


图 12. 匹配网络上增加带通滤波器

6. 用金属屏蔽盖（比如说铜箔）覆盖在 VCO 电感上方。

7. GPO1(nRSTO)不能做任何连接，因为与 VCOP 相邻，由于存在分布电容，很容易把本振频率 ($2*LO$) 给泄漏出来，（由于我们的 EM 板是做功能演示的，所以引出来了）



图 13. 删除 GPO1(nRSTO)走线

8. 在 RFIN, VCON, VCOP 的布线相连的网络上，要多过一些孔，孔的间距要小于本振频率的波长的 1/10。

10. 功耗优化考虑

本文描述的单接收芯片已经提供了业界领先的低功耗性能。但是对一些对功耗要求非常严格的应用场合，需要进一步降低接收功耗的时候，CMT221x/5xA 还可以实现自主运行的 Duty-Cycle 功能，无需外部 MCU 干预，只需要在 RFPDK 上面对芯片进行简单的配置，如下图所示。

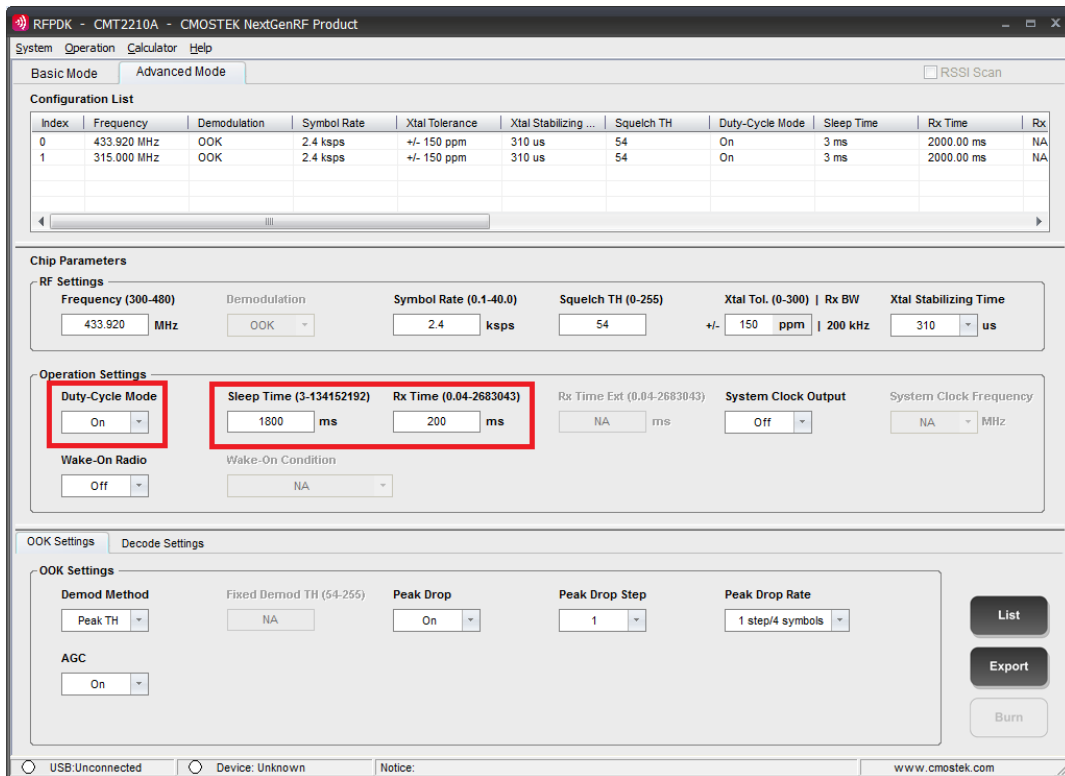


图 13. 设置接收芯片的 Duty-Cycle 功能

以上图为例，设置 Duty-Cycle 打开，并且设置 Sleep Time 为 1800 ms，设置 Rx Time 为 200 ms，芯片只有 1/10 的时间工作，则平均接收功耗变为原来的 1/10，如下图所示。

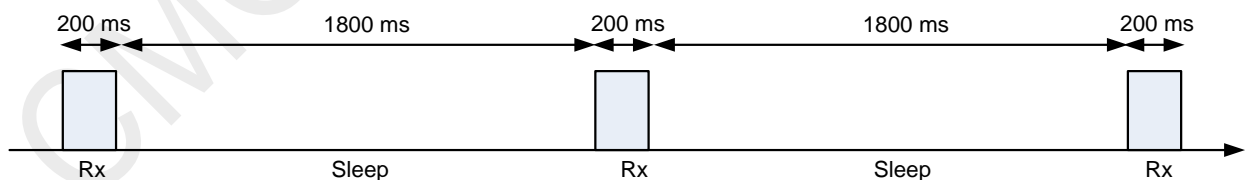


图 14. 用 Duty-Cycle 功能降低平均功耗

值得注意的是，当接收端用 Duty-Cycle 的时候，一定要保证发射端每次发射的包可以被有限的接收窗口成功的接收到。

11. 测试电路设计

CMOSTEK 系列产品的一个特点是可以通过对芯片烧录改变芯片的功能，因此，我们强烈建议客户在设计 PCB 的时候为芯片预留测试点，以便完成以下两个功能：

1. 生产时方便对芯片进行烧录，以改变芯片的功能。
2. 方便对芯片的配置进行读取，了解芯片的配置情况。

其中，各产品型号需要预留的测试点如下表所示。

表 7. 晶体振荡器规格

产品型号	预留测试管脚 ^[1]
CMT221x/5xA ^[2]	SCL, SDA, CSB
备注： [1]. 以上测试管脚未含 VDD 和 GND，而芯片在测试，烧录时需要处于上电工作状态。 [2]. CMT2210L 不支持在线烧录。	

12. 设计检查项

用户可以通过下面的检查项对比实际设计中是否已经考虑了这些细节。

表 8. 设计检查项

射频输入设计	
<input type="checkbox"/>	射频信号路径是否尽量短，以减少射频信号的损失。
<input type="checkbox"/>	将匹配网络 L1 和 C4 是否已经尽量靠近摆放，并且尽量靠近射频输入端口。
<input type="checkbox"/>	匹配网络的 L1 摆放方向是否已经尽量远离 VCO 电感 L2。
<input type="checkbox"/>	射频传输线的走线宽度是否已经考虑了阻抗大小（50Ω 左右的阻抗用 1mm 左右宽的传输线）。
<input type="checkbox"/>	是否已经尽量不要在射频器件及走线上布丝印。
<input type="checkbox"/>	铺地和射频走线是否已经尽量平整。
<input type="checkbox"/>	天线长度是否接近 $\lambda/4$ 。
<input type="checkbox"/>	晶体是否已经尽量远离天线。
VCO 电感设计	
<input type="checkbox"/>	是否已经尽量严格保持 L2 版图上的对称性。
<input type="checkbox"/>	是否已经将 L2 摆放尽量靠近接收芯片。
<input type="checkbox"/>	L2 周围是否已经尽量用完整的铺地围绕，包括四周及背面都要铺地，且周围用过孔将周围及背面的地连接。
<input type="checkbox"/>	是否已经在研发和生产中做好 ESD 保护措施。
晶体电路设计	
<input type="checkbox"/>	晶体是否已经尽量靠近接收芯片，以减少走线寄生电容。
<input type="checkbox"/>	晶体是否已经尽可能远离数字信号等强信号走线，并在其周围尽可能多铺地。
<input type="checkbox"/>	晶体的金属外壳是否已经接地（比如说 49S 插件晶体，或者柱晶等）。
数字信号设计	
<input type="checkbox"/>	数字信号是否已经尽量远离 RF, XTAL 和 VCO 走线。
<input type="checkbox"/>	数字信号是否已经尽可能用铺地围起来，以减少相互串扰。
电源及地设计	
<input type="checkbox"/>	VDD 滤波电容 C0/C5 版图上是否已经尽量靠近芯片的 VDD 管脚。
<input type="checkbox"/>	是否已经尽量用大片的连续地做铺地设计。
<input type="checkbox"/>	地的走线是否已经使得电流的回流路径环面积最小，以使从供电环路上向外辐射尽量减小。
<input type="checkbox"/>	芯片底部是否已经尽量多铺地，以减小对射频输出传输线阻抗连续性的影响，并增强 ESD 性能。

<input type="checkbox"/>	PCB 边沿是否已经尽量多大间距不超过 $\lambda/10$ 的过孔, 以减小 PCB 边沿的高次谐波辐射。
灵敏度优化考虑	
<input type="checkbox"/>	匹配网络是否已达到最佳。
<input type="checkbox"/>	天线长度是否合适。
<input type="checkbox"/>	是否已预留 L3 的元件位置方面匹配调试。
<input type="checkbox"/>	接收带宽选取是否合适。
<input type="checkbox"/>	频率, 数据率, 数据包长度的选取是否合适。
辐射优化考虑 (可选)	
<input type="checkbox"/>	是否可以考虑用绕线 VCO 电感。
<input type="checkbox"/>	是否可以考虑用小尺寸的 VCO 电感。
<input type="checkbox"/>	LNA 匹配网络上的电感是否已经尽量远离了 VCO 电感。
<input type="checkbox"/>	LNA 匹配网络上面是否已经预留了带通滤波器位置的设计。
<input type="checkbox"/>	是否可以考虑用金属屏蔽器覆盖 VCO 电感上方进行屏蔽。
功耗优化考虑 (可选)	
<input type="checkbox"/>	是否可以考虑使用芯片自带的 duty-cycle 功能来降低平均功耗。
测试电路设计	
<input type="checkbox"/>	PCB 设计是否已经预留了测试烧录点。

13. 参考设计

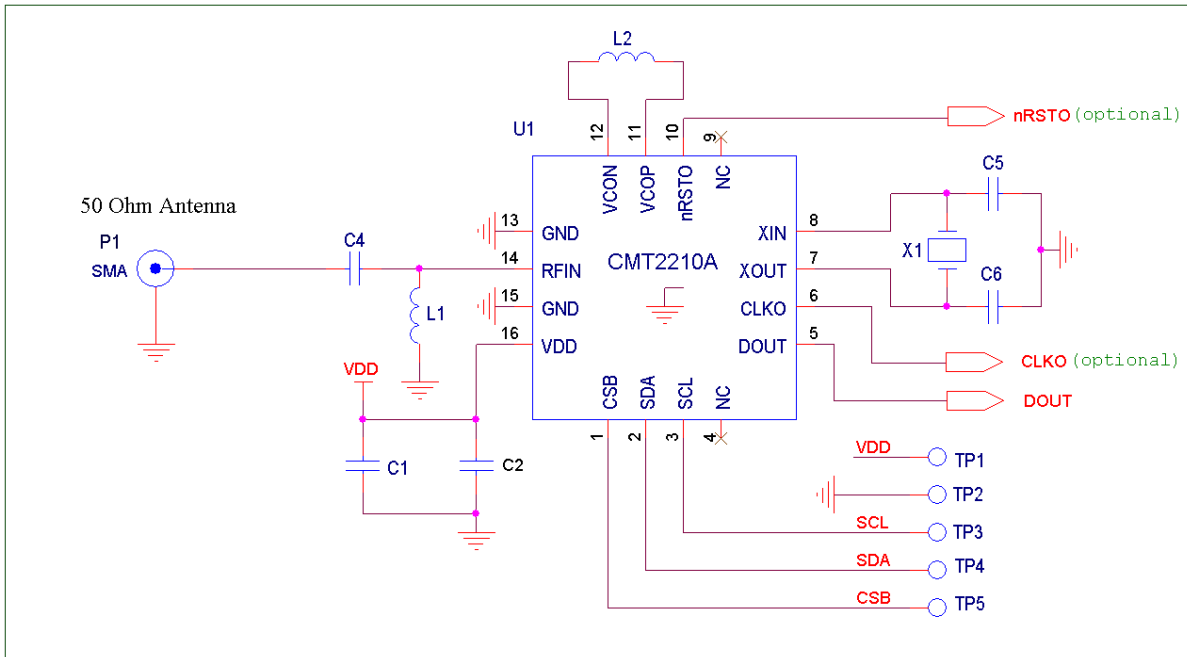


图 15. CMT2210A-EM 原理图参考设计

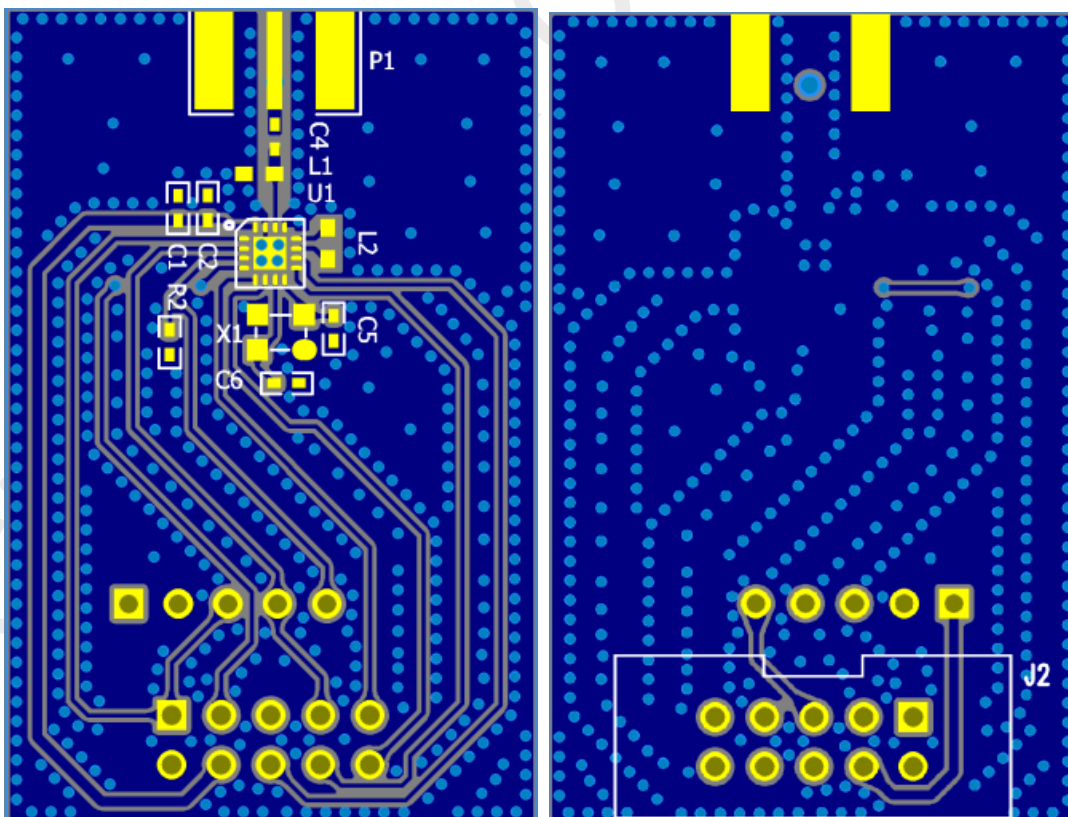


图 16. CMT2210A-EM 版图参考设计

14. 文档变更记录

表 9.文档变更记录表

版本号	章节	变更描述	日期
0.8	所有	初始发布版本	2015-09-16
0.85	3	更新表 4 及其备注	2015-11-23
0.9	4	增加第 4 章 抗 ESD 设计	2016-02-17

15. 联系方式

无锡泽太微电子有限公司深圳分公司

中国广东省深圳市南山区前海路鸿海大厦 203 室

邮编: 518000

电话: +86-755 - 83235017

传真: +86-755 - 82761326

销售: sales@cmostek.com

技术支持: support@cmostek.com

网址: www.cmostek.com

Copyright. CMOSTEK Microelectronics Co., Ltd. All rights are reserved.

The information furnished by CMOSTEK is believed to be accurate and reliable. However, no responsibility is assumed for inaccuracies and specifications within this document are subject to change without notice. The material contained herein is the exclusive property of CMOSTEK and shall not be distributed, reproduced, or disclosed in whole or in part without prior written permission of CMOSTEK. CMOSTEK products are not authorized for use as critical components in life support devices or systems without express written approval of CMOSTEK. The CMOSTEK logo is a registered trademark of CMOSTEK Microelectronics Co., Ltd. All other names are the property of their respective owners.